

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11145930 A**

(43) Date of publication of application: **28.05.99**

(51) Int. Cl.
H04J 11/00
H04L 7/00
H04L 27/18

(21) Application number: **09320533**

(22) Date of filing: **07.11.97**

(71) Applicant: **NIPPON TELEGR & TELEPH
CORP <NTT>**

(72) Inventor:
KIZAWA TAKESHI
MIZOGUCHI MASATO
KUMAGAI TOMOAKI
TAKANASHI HITOSHI
MORIKURA MASAHIRO

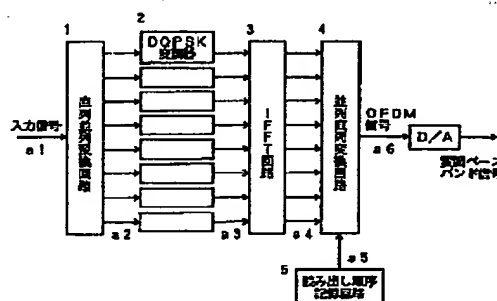
(54) OFDM MODEM CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent degradation of detection accuracy without increasing a circuit scale by using a normal OFDM modem circuit, transmitting start symbol signals for two times in a parallel/serial conversion circuit and thus generating OFDM signals for synchronization whose cycle is T_w without increasing the circuit scale.

SOLUTION: Input signals a1 are inputted to a serial/parallel conversion circuit 1. Thereafter, serial/parallel circuit output signals a2 divided into respective sub carrier waves are inputted to a DQPSK modulation circuit 2 and DQPSK modulation is performed there. DQPSK modulation signals a3 are inputted to an IFFT circuit 3 and IFFT conversion is performed. IFFT circuit output signals a4 are inputted to the parallel/serial conversion circuit 4. For the parallel/serial conversion circuit 4, a read order is decided by the read order storage circuit output signals a5 of a read order storage circuit 5. In this case, 8 sub carrier waves are respectively read for two times by a read circuit. Thus, parallel/serial circuit output signals a6 are obtained.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145930

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 J 11/00

H 0 4 J 11/00

Z

H 0 4 L 7/00

H 0 4 L 7/00

F

27/18

27/18

Z

審査請求 有 請求項の数 2 F D (全 9 頁)

(21) 出願番号

特願平9-320533

(22) 出願日

平成9年(1997)11月7日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 鬼沢 武

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 溝口 匡人

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72) 発明者 熊谷 智明

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74) 代理人 弁理士 山本 恵一

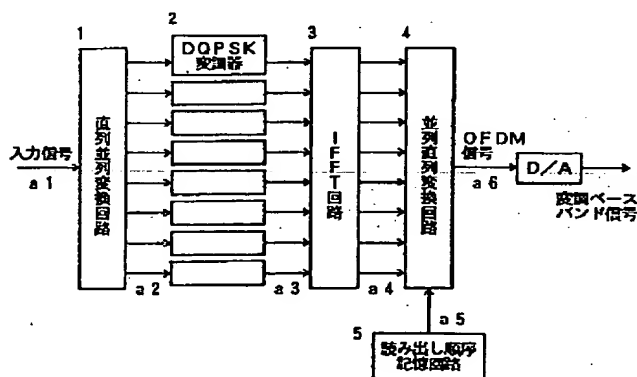
最終頁に続く

(54) 【発明の名称】 OFDM変復調回路

(57) 【要約】

【課題】 スタートシンボル信号の送信前に同期用OFDM信号を送出せずにスタートシンボル信号の繰り返しのみから構成される信号に対するOFDM変調回路及び復調回路を提供する。

【解決手段】 送信側では読み出し順序記憶回路(5)の制御によりスタートシンボル信号を2回続けて送信することで、周期が T_w の同期用OFDM信号を生成する。復調回路ではこのフォーマットを用いることで高速かつ高精度にシンボルタイミングの検出、及び搬送波周波数誤差検出を行う。



【特許請求の範囲】

【請求項1】 入力信号を直列並列変換する直列並列変換手段と、
前記直列並列変換手段出力を変調する変調手段と、
前記変調手段出力を逆高速フーリエ変換するIFFT手段と、
前記IFFT手段出力を並列直列変換する並列直列変換手段と、
前記並列直列手段出力である、 $N(2^m = N, m \text{ は自然数})$ ポイントFFT出力を2回繰り返して読み出す、読み出し順序記憶手段と、
を備えることを特徴とするOFDM変調回路。

【請求項2】 受信信号を高速フーリエ変換のウィンドウの幅 T_w 時間だけ遅延させる第1の遅延手段と、
前記第1の遅延手段出力の共役複素をとる共役複素演算手段と、
前記共役複素演算手段出力と前記受信信号との相関演算を行う相関演算手段と、
前記相関演算手段を T_w 時間に渡り平均化する相関出力平均手段と、
前記相関出力平均手段出力の自乗演算を行う第1の自乗演算手段と、
前記受信信号の T_w 時間に渡る電力平均を行う受信電力平均手段と、
前記受信電力平均手段出力を自乗する第2の自乗演算手段と、
前記第1の自乗演算手段出力と前記第2の自乗演算出力を用いてピーク検出を行うピーク検出手段と、
前記相関出力平均手段出力から搬送波周波数誤差検出を行う搬送波周波数誤差検出手段と、
前記受信信号の遅延を行う第2の遅延手段と、
前記搬送波周波数誤差検出手段により前記第2の遅延手段出力に対して搬送波周波数誤差補正を行う搬送波周波数誤差補正手段と、
前記ピーク検出手段出力に基づいて高速フーリエ変換のウィンドウタイミングを制御する制御手段と、
を備えることを特徴とするOFDM復調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は無線通信システムに用いるOFDM (Orthogonal Frequency Division Multiplexing) 伝送方式の変調回路、及び復調回路に関する。特に高速同期が必要な無線パケット伝送方式に有効なパケットモード変復調回路に関する。

【0002】

【従来の技術】 OFDM変復調方式は、複数の直交関係にある搬送波を用いて情報伝送する方式である。各サブ搬送波ごとに入力情報信号によりQPSK (Quadrature Phase Shift Keyin

g) 等の変調を行う。さらに、その出力に対してIFFT (Inverse Fast Fourier Transform) 回路を用いてOFDM信号を生成する。OFDM変復調方式では遅延波の影響を除去するため、通常ガードインターバル (GI) と呼ばれる区間でデータを繰り返して送信する。OFDM変復調方式の受信側では、伝送区間における周波数ドリフトの影響を除去することや、FFTウィンドウタイミングの検出等の同期が必要であり、通常はこの繰り返し信号区間の相関を利用する手法が一般的である。また、パケット伝送はデータを短いパケット信号に分割して送信する方法であり、多くの端末がランダムにデータを生成する場合には、回線交換型と比較して高効率に情報伝送が可能である。しかし、パケット信号ごとに同期を確立する必要がある。通常、同期確立にはパケット信号先頭部に同期信号が用いられるがパケット伝送では、伝送効率の点から短い同期用信号が望ましい。

【0003】 図6に従来のOFDM変調回路の構成例を示す。ここでは、8サブ搬送波OFDM信号に対応した回路構成例を示す (参考文献: T. M. Schmidl and D. C. Cox, "Low-Overhead, Low-Complexity [Burst] Synchronization for OFDM," ICC '96, pp1301-1306.)。図6において入力信号a101は、直列並列変換回路101に入力される。その後、直列並列変換回路出力信号a102は差動符号化QPSK変調回路102 (図では、Differential Quadrature Phase Shift Keying: DQPSK) に入力され差動符号化変調が行われる。差動符号化変調出力信号a103は入力信号切替回路103に入力される。入力信号切替回路103では図9に示す同期信号を生成するため、IFFT入力信号にヌル入力を設定する構成をとることから、1OFDM信号単位の蓄積と、信号の出力切替を行う。図7にその関係を示す。入力情報信号d1~d8は、入力される順に各サブ搬送波に入力される。diは各サブ搬送波で運ばれるデータ (複素数) を表わしており、1シンボル当たり2ビットを運ぶ場合にQPSK信号に対応する。その後、各サブ搬送波ごとにDQPSK変調が行われ入力信号切替回路に入力される。入力信号切替回路では $(\text{mod } n/2) \times 2$ (n : サブ搬送波数) の関係に従い入出力の切替が行われる。

【0004】 各入力データd、IFFT入力データのd'の添字が個々に対応している。信号切替回路103の出力は表1に示されるように、信号の存在するサブ搬送波と、何も送信しないサブ搬送波とで交互にデータを送信する。入力信号切替回路出力信号a104はIFFT回路104に入力される。このIFFT回路104を用いてIFFT変換が行われる。このときのIFFT回路出力a105を表2に示す。

【0005】

【表1】

表1

サブキャリア	IFFT入力信号
1	d1'
2	0
3	d2'
4	0
5	d3'
6	0
7	d4'
8	0

【0006】

【表2】

表2

FFTポイント数	IFFT出力信号
1	t1
2	t2
3	t3
4	t4
5	t1
6	t2
7	t3
8	t4

【0007】IFFT回路からは、4出力ポイントごとに2回の繰り返し信号が出力される。IFFT回路出力信号a105は、並列直列変換回路105に入力される。記憶回路106では並列直列変換回路の読み出し順序をあらかじめ記憶している。読み出し順序記憶回路出力a106に応じて並列直列変換回路105では、IFFT出力信号の並列直列変換を行い、OFDM信号a107を出力する。

【0008】一方、図8にOFDM復調器の従来の回路構成を示す。図8では復調器内のシンボルタイミング検出、搬送波周波数誤差検出までを示している。図において、OFDM受信信号a201は遅延回路201に入力される。遅延回路201では $T_w/2$ 時間だけ受信信号が遅延される。ここで、 T_w はOFDM信号の変調及び復調に用いるIFFT及びFFTのウィンドウの間幅である。遅延回路201の出力信号a202は共役複素信号生成回路202に入力される。共役複素出力信号a203は、受信信号a201と乗算回路203で複素乗算される。乗算回路出力信号a204は移動平均フィルタ204に入力される。ここで $T_w/2$ 時間の平均が行われる。フィルタ出力a205は自乗演算回路205に入力され自乗演算信号a206を出力する。また、受信信号a201は自乗回路206で電力信号a207に変換される。その後、移動平均フィルタ207に入力され、同じく $T_w/2$ 時間の平均演算が行われる。フィルタの出力信号a208は自乗回路208に入力され、自乗回路出力信号a209として出力される。ピーク検出回路209では、自乗回路出力信号a206と自乗回路出力信号a209を用いてピーク検出が行われる。このピークが検出されたタイミングをシンボルタイミングとし

て、シンボルタイミング信号a2010を出力する。また、搬送波周波数誤差検出はフィルタ出力a205を用いて行われる。 \tan^{-1} 回路2011でシンボルタイミング信号a2010に基づいた検出が行われ、周波数誤差信号a2011が出力される。

【0009】

【発明が解決しようとする課題】パケット伝送では、TDMのように同じタイミングで信号が送信されてくるわけではなくランダムにパケットが送信されてくる。このため受信パケットごとに同期を確立する必要がある。このため、できるだけ短いシンボル数での同期確立が必要となり、短い同期用信号とその信号を確実に復調できる復調回路が求められる。

【0010】従来の構成では、図6に示すようにIFFT回路入力側に、入力信号切替回路を用いて同期用OFDM信号を生成している。また、IFFT回路にヌル点を挿入するためにOFDMシンボル単位で遅延が生じる問題があった。一方、差動符号化を行う場合には、データ部の前に、初期位相を決定するスタートシンボル(SS)信号を送信する必要がある。図6の構成では、図9に示す信号フォーマットのように同期信号の後にSS信号を送信する必要があり、特に無線パケット伝送ではデータ長が制限されるため、SS信号とは別に冗長な同期用OFDM信号を送信することは伝送効率を低下させるため問題であった。 T_w はFFTのウィンドウ幅の時間を示している。

【0011】このように、従来の同期用OFDM変調回路の回路構成では、

1. 冗長な同期用信号が必要
2. 入力切替回路が必要
3. OFDMシンボル単位での遅延が生じる等の問題がある。

【0012】さらに、従来の復調回路では、従来の同期用信号では、信号区間の繰り返しを $T_w/2$ として搬送波周波数誤差検出を行っているため検出精度が十分に取れないという問題があった。従って復調する際、搬送波周波数誤差の大きいときに、搬送波周波数誤差検出精度が劣化し、高精度に搬送波周波数誤差検出を行うには、長い同期区間が必要になる問題があった。

【0013】本発明では以上の問題を解決し、変調回路では、回路規模の増大がなくSS信号の送信の前に同期用OFDM信号を送信せずに、SS信号の繰り返しのみから構成されるOFDM変調回路を提供し、この同期用OFDM信号を復調する復調回路では、搬送波周波数誤差が存在するときにも高精度に搬送波周波数誤差が検出可能で復調が可能な復調回路を提供することを目的とする。

【0014】

【課題を解決するための手段】従来の構成では、OFDM信号を生成するIFFT回路の入力前で、同期用OF

DM信号生成のための操作を行っていたため、通常のOFDM信号生成回路と異なり回路規模が増大し、さらに、OFDM信号単位での遅延が問題であった。また、同期用OFDM信号を生成するため、信号を送信しないサブ搬送波が存在しSS信号と同期用信号を兼用することができず同期信号長が増大することも問題であった。復調特性に関しては、図9に示すように従来の同期用信号の繰り返し周期が $T_w/2$ で不十分なために、検出精度が劣化していた。

【0015】本発明では、通常のOFDM変調回路を用いて、並列直列変換回路でスタートシンボル信号を2回送信することで、回路規模を増加させずに周期が T_w の同期用OFDM信号を生成する。図10に本発明による送信信号のフォーマットを示す。本発明回路による信号フォーマットではSS信号と同期OFDM信号を兼ねることも可能である。復調回路では、このフォーマットを用いて高速かつ高精度にシンボルタイミング検出、搬送波周波数誤差検出を行うことが可能で、同期信号とスタートシンボルとの兼用が可能である。また、本発明ではオープンループでの復調回路構成のため複雑な制御操作が不要である。

【0016】

【発明の実施の形態】図1は本発明によるOFDM変調回路の実施形態を示す。本実施形態は8 ($n=8$) サブ搬送波同期OFDM変調回路の場合を示しており、各サブ搬送波の変調方式にDQPSK変調方式を適用したものである。図1において入力信号a1は直列並列変換回路1に入力される。その後、各サブ搬送波に分けられた直列並列回路出力信号a2はDQPSK変調回路2に入力される。ここで、DQPSK変調が行われる。DQPSK変調信号a3はIFFT回路3に入力されIFFT変換が行われる。

【0017】IFFT回路出力信号a4は、並列直列変換回路4に入力される。並列直列変換回路4は読み出し順序記憶回路5の読み出し順序記憶回路出力信号a5によって読み出し順序が決まる。ここでは、読み出し回路により、8 ($N=8$, $n=8$) サブ搬送波を各2回読み出す。この読み出し操作により、並列直列回路出力信号a6を得ることができる。この並列直列変換回路出力は、同期用OFDM信号とSS信号とを兼ねた信号の生成を可能とする。

【0018】以上、直列並列変換回路1から、読み出し記憶回路5までが本発明の特徴とするところであり、直列並列変換手段、変調手段、IFFT手段、並列直列変換手段、及び読み出し順序記憶手段に対応する。

【0019】また、図2は本発明によるOFDM復調回路の実施形態を示す。本実施形態はDQPSKの復調に遅延検波を用いている。図2では、OFDM受信信号a301は遅延回路301に入力される。遅延回路301では T_w 時間だけ受信信号が遅延される。ここで、 T_w

はOFDM信号の変調及び復調に用いるIFFT及びFFTのウィンドウの時間幅である。遅延回路301の出力信号a302は共役複素信号生成回路302に入力される。共役複素出力信号a303は、受信信号a301と乗算回路303で複素乗算される。乗算回路出力a304は移動平均フィルタ304に入力され T_w 時間の平均演算が行われる。フィルタ出力a305は自乗演算回路305に入力され自乗演算回路出力信号a306を出力する。また、受信信号a301は自乗演算回路306で電力信号a307に変換される。その後、移動平均フィルタ307に入力される。ここでは、同じく T_w の平均化が行われる。フィルタの出力信号a308は自乗回路308に入力され、自乗回路出力信号a309として出力される。ピーク検出回路309では、自乗回路出力信号a306と自乗回路出力信号a309を用いてピーク検出が行われる。このピーク検出タイミングを用いて、シンボルタイミング信号3010を出力する。また、搬送波周波数誤差検出はフィルタ出力a305を用いて行われる。 \tan^{-1} 回路3011でシンボルタイミング信号a3010に基づき検出が行われ、周波数誤差信号a3011が出力される。分周回路3012では $1/N$ に分周される。但し、 N はFFTポイント数である。分周回路出力a3012は共役複素信号生成回路3013に入力される。共役複素信号a3013はサンプルホールド回路3014に入力される。サンプルホールド回路3014は同期が確立した時点で共役複素信号a3013をサンプルホールドする。

【0020】一方、受信信号はシンボルタイミング検出部、周波数誤差検出部で信号処理を行う間遅延回路3015で、 $T_w + GI$ の期間だけ遅延され遅延受信信号a3015が出力される。その後、遅延回路3016でピーク検出に要する期間だけ信号遅延が行われ遅延受信信号a3016が出力される。乗算回路3017では、サンプルホールド回路出力信号a3014と遅延受信信号a3016の乗算が行われ、乗算回路出力信号a3017を出力する。FFTウィンドウタイミング制御回路3010では、シンボルタイミング信号a3010に基づいてウィンドウタイミング制御を行い、制御信号a3018を出力する。

【0021】以上、遅延回路301からFFTウィンドウタイミング制御回路3010までの構成が請求項2のOFDM復調回路の特徴とするところであり、それぞれ、第1の遅延手段、共役複素演算手段、相関演算手段、相関出力平均手段、第1の自乗演算手段、受信電力平均手段、第2の自乗演算手段、ピーク検出手段、搬送波周波数誤差検出手段、第2の遅延手段、搬送波周波数誤差補正手段及び制御手段に対応している。

【0022】直列並列変換回路3018では、直列信号を並列信号に変換する。ここで信号の読み込みタイミングを制御してガードインターバルの繰り返しを取り去

る。並列信号 a 3 0 1 9 に変換された後 F F T 回路 3 0 1 9 に入力され、O F D M 信号から、各サブキャリアごとの D Q P S K 変調信号 a 3 0 2 0 に変換される。遅延検波回路 3 0 2 0 で復調され、並列出力信号 a 3 0 2 1 を出力する。並列直列変換回路 3 0 2 1 では並列出力信号 a 3 0 2 1 から出力信号 a 3 0 2 2 を出力する。

【0023】図5は本発明によるO F D M 変復調回路の計算機シミュレーションによる実施形態を示す。シミュレーションは搬送波周波数誤差 = 5 0 k H z、E b / N 0 (1 ビット当たりの信号エネルギー対単位周波数当たりのエネルギー密度) = 1 2 d B、A W G N (A d d i t i v e n o i s e G a u s s i a n n o i s e) 環境下での結果である。図5は搬送波周波数誤差存在下で、同期用信号のみを送信したときに復調器で周波数誤差を検出したときの引き込み特性を示す。同じ F F T のクロック速度下で従来方式と比較した。比較に用いた同期用信号を図3、図4にそれぞれ示す。図5より従来構成のO F D M 復調回路では、引き込みに時間がかかるが、本発明では同じ検出誤差精度を実現するのに引き込みシンボル数が少ない。これより本発明により回路規模、同期信号を減少したにもかかわらず、復調器の同期特性を向上させていることがわかった。従来構成と比較してパケット伝送に重要な高速同期を実現できる。

【0024】

【発明の効果】以上述べた通り、本発明によるO F D M 変復調回路は従来技術と比較して回路規模を削減し、また同期用O F D M 信号と S S 信号を兼用する構成が可能となる。また、本発明によるO F D M 復調回路により搬送波周波数誤差が大きいときに、パケット伝送に重要な高速同期確立が可能である。

【図面の簡単な説明】

【図1】本発明によるO F D M 変調回路である。

【図2】本発明によるO F D M 復調回路である。

【図3】従来構成による同期用信号の説明図である。

【図4】本発明の構成による同期用信号の説明図である。

【図5】従来の構成と図1、2に記載の実施形態構成の各引き込み特性のシミュレーション結果を示す図である。

【図6】従来のO F D M 変調回路構成を示すブロック図である。

【図7】従来のO F D M 変調に構成での入力信号切替回路の動作を示す説明図である。

【図8】従来のO F D M 復調器回路構成を示すブロック図である。

【図9】従来の信号フォーマット説明図である。

【図10】本発明による信号フォーマット説明図である。

【符号の説明】

a 1 入力信号

a 2 直列並列変換回路出力信号

a 3 D Q P S K 変調信号

a 4 I F F T 回路出力信号

a 5 読み出し順序記憶回路出力信号

a 6 並列直列回路出力信号

a 1 0 1 入力信号

a 1 0 2 直列並列変換回路出力信号

a 1 0 3 D Q P S K 変調信号

a 1 0 4 入力信号切替回路出力信号

a 1 0 5 I F F T 回路出力信号

a 1 0 6 読み出し順序記憶回路出力信号

a 1 0 7 O F D M 信号

a 2 0 1 O F D M 受信信号

a 2 0 2 遅延回路出力信号

a 2 0 3 共役複素出力信号

a 2 0 4 乗算回路出力信号

a 2 0 5 フィルタ出力

a 2 0 6 自乗回路出力信号

a 2 0 7 自乗回路出力信号

a 2 0 8 フィルタ出力信号

a 2 0 9 自乗回路出力信号

a 2 0 1 0 シンボルタイミング信号

a 3 0 1 O F D M 受信信号

a 3 0 2 遅延回路出力信号

a 3 0 3 共役複素出力信号

a 3 0 4 乗算回路出力信号

a 3 0 5 フィルタ出力

a 3 0 6 自乗回路出力信号

a 3 0 7 自乗回路出力信号

a 3 0 8 フィルタ出力信号

a 3 0 9 自乗回路出力信号

a 3 0 1 0 シンボルタイミング信号

a 3 0 1 1 周波数誤差信号

a 3 0 1 2 分周回路出力信号

a 3 0 1 3 共役複素信号

a 3 0 1 4 サンプルホールド回路

a 3 0 1 5 遅延受信信号

a 3 0 1 6 遅延受信信号

a 3 0 1 7 乗算回路出力信号

a 3 0 1 8 制御信号

a 3 0 1 9 並列信号

a 3 0 2 0 D Q P S K 変調信号

a 3 0 2 1 並列直列変換信号

a 3 0 2 2 出力信号

1 直列並列変換回路

2 D Q P S K 変調回路

3 I F F T 回路

4 読み出し順序記憶回路

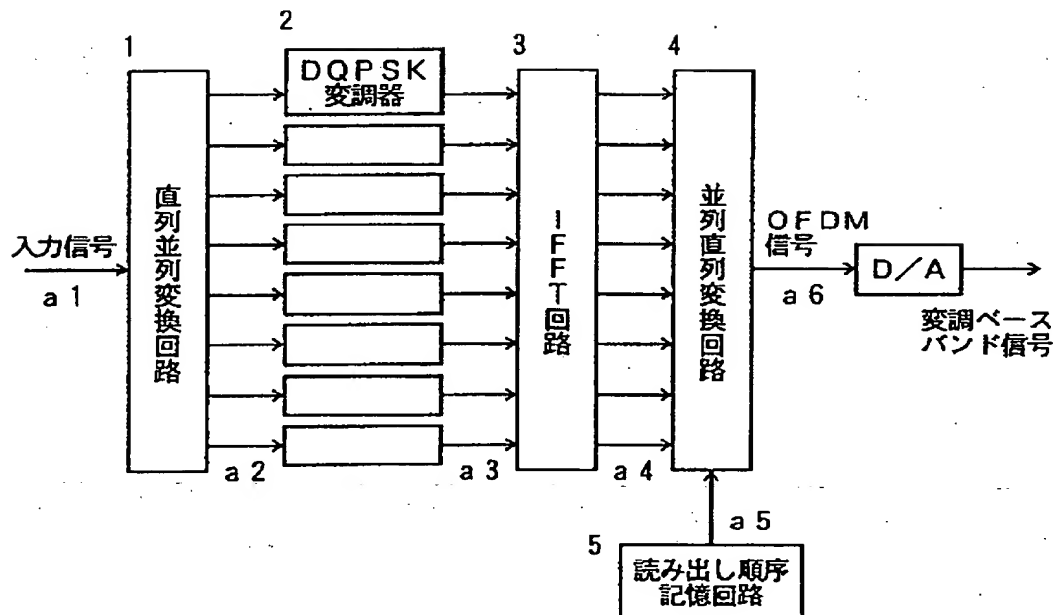
5 並列直列変換回路

50 1 0 1 直列並列変換回路

- 102 DQPSK変調回路
- 103 入力信号切替回路
- 104 IFFT回路
- 105 並列直列変換回路
- 106 読み出し順序記憶回路
- 201 遅延回路
- 202 共役複素信号生成回路
- 203 乗算回路
- 204 移動平均フィルタ
- 205 自乗演算回路
- 206 自乗演算回路
- 207 移動平均フィルタ
- 208 自乗回路
- 209 ピーク検出回路
- 301 遅延回路
- 302 共役複素信号生成回路
- 303 乗算回路
- 304 移動平均フィルタ

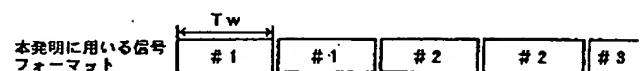
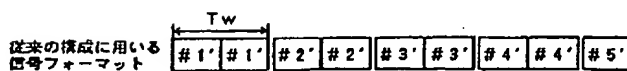
- 305 自乗演算回路
- 306 自乗演算回路
- 307 移動平均フィルタ
- 308 自乗回路
- 309 ピーク検出回路
- 3010 FFTウィンドウタイミング制御回路
- 3011 \tan^{-1} 回路
- 3012 分周回路
- 3013 共役複素信号生成回路
- 10 3014 サンプルホールド回路
- 3015 遅延回路
- 3016 遅延回路
- 3017 乗算回路
- 3018 直列並列変換回路
- 3019 FFT回路
- 3020 遅延検波回路
- 3021 並列直列変換回路

【図1】

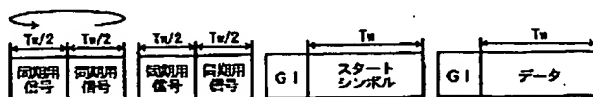


【図3】

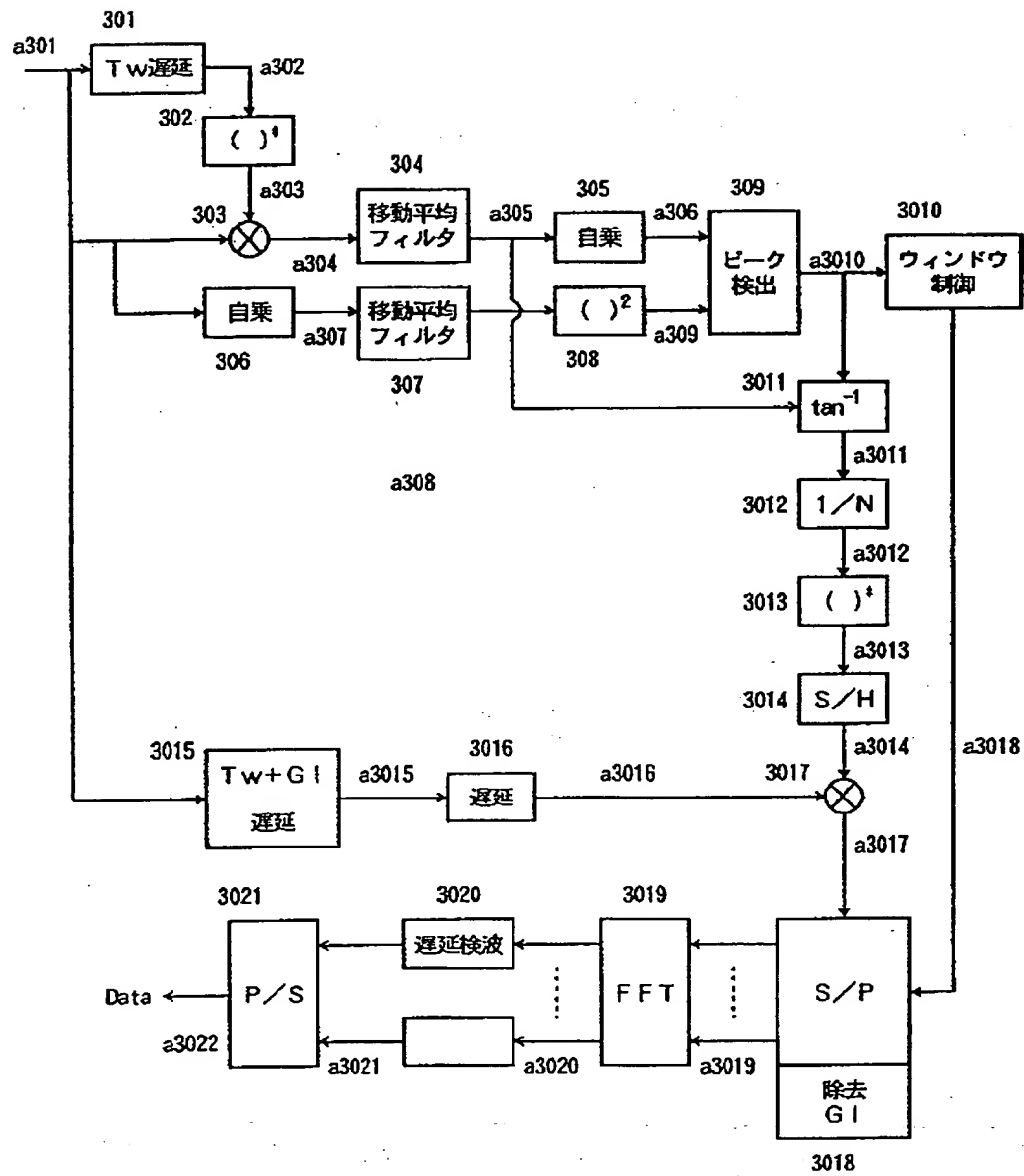
【図4】



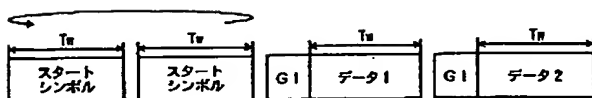
【図9】



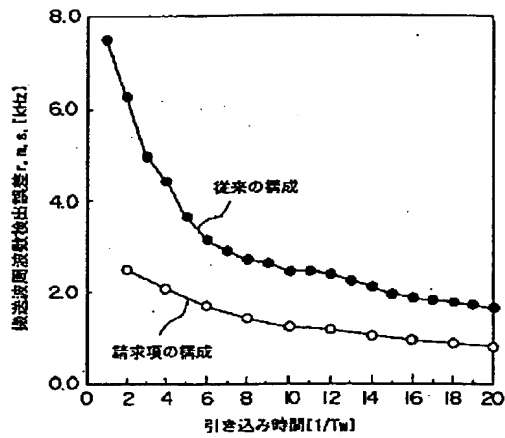
【図 2】



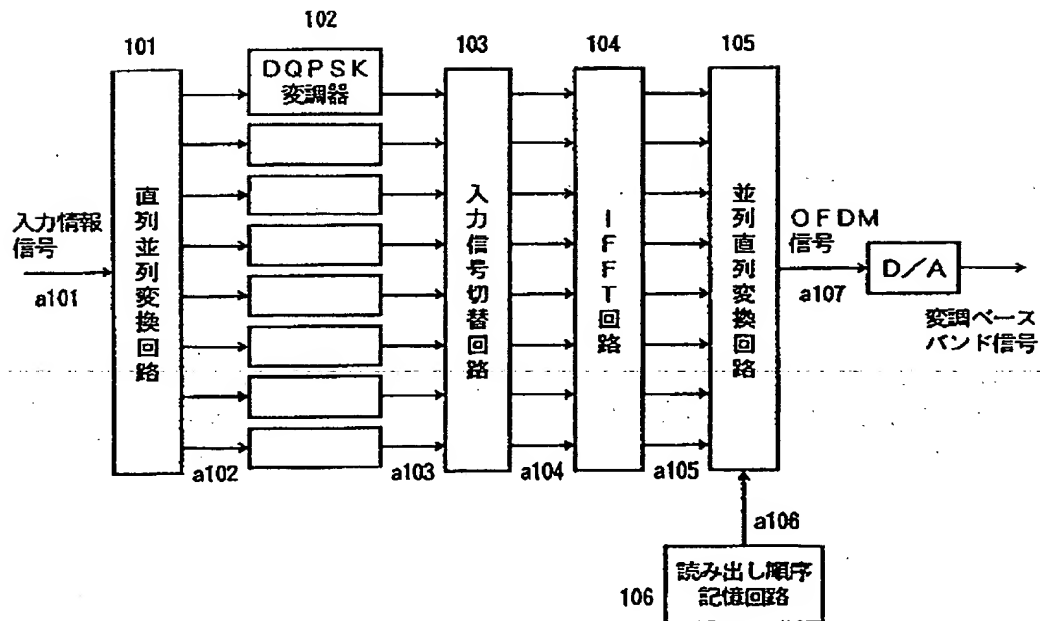
【図 10】



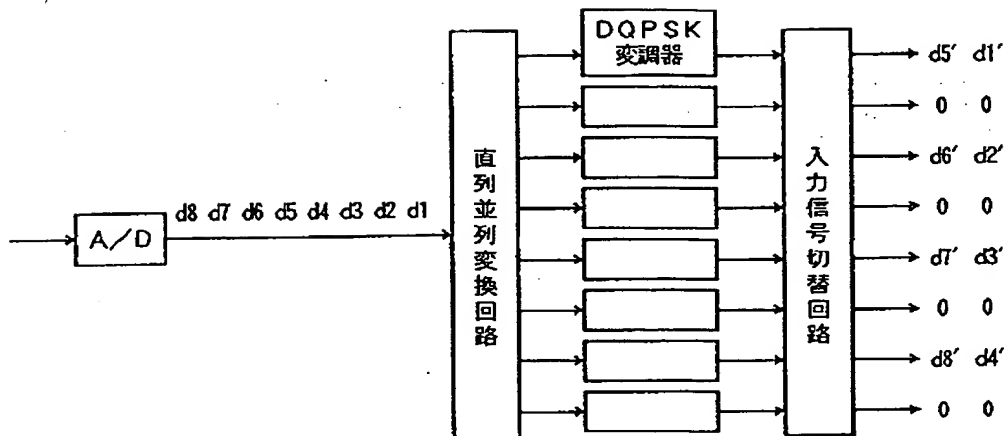
【図5】



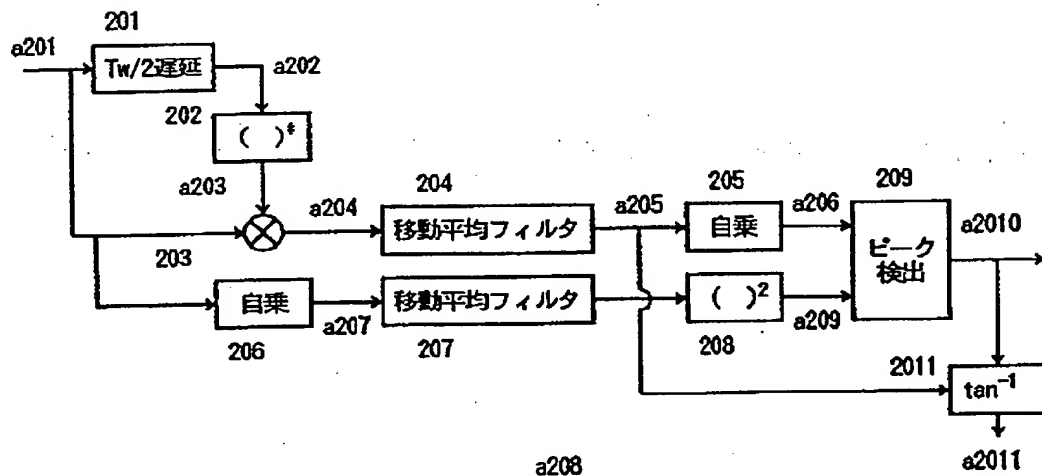
【図6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 高梨 斉
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 守倉 正博
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内